

#2  
11/09/01

Attorney Docket No. 1614.1107

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Hiroshige ANDO

Application No.: 09/746,068

Group Art Unit: 2121

Filed: December 26, 2000

Examiner:

RECEIVED  
OCT 30 2001  
Technology Center 2100

For: INFORMATION-PROCESSING DEVICE THAT EXECUTES GENERAL-PURPOSE  
PROCESSING AND TRANSACTION PROCESSING

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)  
herewith a certified copy of the following foreign application:

Japanese Patent Application Nos. 11-371617 and 2000-348475

Filed: December 27, 1999 and November 15, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing  
date(s) as evidenced by the certified papers attached hereto, in accordance with the  
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: October 26, 2001

By: H. J. Staas

H. J. Staas  
Registration No. 22,010

700 11th Street, N.W., Ste. 500  
Washington, D.C. 20001  
(202) 434-1500



日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

RECEIVED  
OCT 30 2001  
Technology Center 2100

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1999年12月27日

出 願 番 号  
Application Number:

平成11年特許願第371617号

出 願 人  
Applicant (s):

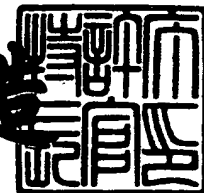
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 7月28日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3059584

【書類名】 特許願

【整理番号】 9951725

【提出日】 平成11年12月27日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 9/28

【発明の名称】 情報処理装置及び情報処理方法

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 安藤 寿茂

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【郵便番号】 150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置及び情報処理方法

【特許請求の範囲】

【請求項 1】 複数種類の演算を実行可能な第 1 の演算手段と、  
前記複数種類の演算のうち少なくとも一つ種類の演算を実行可能な第 2 の演算手段と、

前記第 2 の演算手段で実行できなかった命令を前記第 1 の演算手段で実行させる命令実行制御手段とを有することを特徴とする情報処理装置。

【請求項 2】 前記第 2 の演算手段は、実行できない命令が発生したときに、前記第 1 の演算手段に割り込みをかけて、前記第 1 の演算手段に前記命令を実行させることを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 前記第 1 の演算手段と前記第 2 の演算手段とでメモリ空間を共有される記憶手段を有することを特徴とする請求項 1 又は 2 記載の情報処理装置。

【請求項 4】 前記第 1 の演算手段は、所定のメモリ空間を有する第 1 の記憶手段と、

第 1 の通信手段とを有し、

前記第 2 の演算手段は、第 1 の記憶手段とは別のメモリ空間を有する第 2 の記憶手段と、

前記第 1 の通信手段とで通信を行なう第 2 の通信手段とを有することを特徴とする請求項 1 乃至 3 のいずれか一項記載の情報処理装置。

【請求項 5】 前記第 1 の演算手段と前記第 2 の演算手段とで同じ命令セットを用いることを特徴とする請求項 1 乃至 4 のいずれか一項記載の情報処理装置。

【請求項 6】 複数種類の演算のうち少なくとも一つ種類の演算を実行可能な第 2 の演算手段で命令を実行させる第 1 の手順と、

前記第 2 の演算手段での演算結果を検出する第 2 の手順と、

前記第 2 の演算手段で実行できなかった命令を前記第 1 の演算手段で実行させる第 3 の手順とを有することを特徴とする情報処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は情報処理装置及び情報処理方法に係り、特に、汎用処理及びトランザクション処理を行なう情報処理装置及び情報処理方法に関する。

現在の汎用高性能プロセッサは、通常、単一の処理を高速に実行並びに浮動小数点計算やマルチメディア処理などを含む幅広い用途に対して高性能を発揮できるように設計されている。

【0002】

しかし、近年、計算機の需要は、トランザクション処理やウェブサーバなどで伸長している。トランザクション処理やウェブサーバは、大量の小規模の処理を並列に実行する性能が重要である。また、トランザクション処理やウェブサーバの処理は、論理演算・整数演算が中心であり、浮動小数点演算はほとんど使われない。

【0003】

このため、現在の汎用高性能プロセッサは、トランザクション処理やウェブサーバとしては不適であった。そこで、トランザクション処理やウェブサーバなどとして用いても高速に処理が行なえる情報処理装置が望まれている。

【0004】

【従来の技術】

図1に高性能汎用プロセッサの一例のブロック構成図を示す。

高性能汎用プロセッサ1は、命令キャッシュ2、分岐予測部3、プログラムカウンタ4、チェックポイント機構5、レジスタ6、7、リオーダバッファ8、リザベーション部9、10、固定小数点演算部11、浮動小数点演算部12、ロード／ストアユニット13、データキャッシュ14から構成される。

【0005】

命令キャッシュ2は、一連の命令を保持する。分岐予測部3は、命令キャッシュ2に保持された命令のうち分岐命令を検出して、分岐予測を行なう。プログラムカウンタ4は、実行されている命令をカウントする。チェックポイント機構5

は、分岐予測時に分岐命令にチェックポイントを設定する。なお、分岐予測部 3 は、分岐予測ミスが発生したときに、チェックポイント機構 5 で設定されたチェックポイントに基づいて分岐予測ミスを回復させる。

【0 0 0 6】

レジスタ 6 は、固定小数点演算で実行される命令を保持する。レジスタ 6 に保持された命令は、リザベーション部 9 に供給される。

レジスタ 7 は、浮動小数点演算を実行するデータを保持する。レジスタ 7 に保持された命令は、リザベーション部 1 0 に供給される。

リオーダバッファ 8 は、固定小数点演算部 1 1、又は浮動小数点演算部 1 2 の演算結果を保持する。リオーダバッファ 8 に保持された命令は、分岐予測部 3 からの指示に応じて出力される。

【0 0 0 7】

レジスタ 6 の命令及びリオーダバッファ 8 の命令は、リザベーション部 9 に供給される。リザベーション部 9 は、固定小数点演算部 1 1 でのアウトオブオーダーの実行を制御する。

レジスタ 7 の出力データ及びリオーダバッファ 8 の出力データは、リザベーション部 1 0 に供給される。リザベーション部 1 0 は、浮動小数点演算部 1 2 でのアウトオブオーダーの実行を制御する。

【0 0 0 8】

リザベーション部 9 の出力データは、固定小数点演算部 1 1 に供給される。固定小数点演算部 1 1 は、リザベーション部 9 からのデータに対して固定小数点演算を実行する。固定小数点演算部 1 1 は、固定小数点演算装置 1 1 - 1 ~ 1 1 - n から構成され、並列処理が可能とされている。

リザベーション部 1 0 の出力データは、浮動小数点演算部 1 2 に供給される。浮動小数点演算部 1 2 は、リザベーション部 1 0 からのデータに対して浮動小数点演算を実行する。浮動小数点演算部 1 2 は、複数の浮動小数点演算装置 1 2 - 1 ~ 1 2 - m から構成され、並列処理が可能とされている。

【0 0 0 9】

固定小数点演算部 1 1 及び浮動小数点演算部 1 2 の演算結果は、ロード／スト

アユニット 13 に供給される。

ロード／ストアユニット 13 は、データをロード／ストアする。データキャッシュ 14 は、演算結果を記憶する。

高性能汎用プロセッサ 1 は、固定小数点演算部 11 及び浮動小数点演算部 12 とを有し、論理／整数演算及び浮動小数点演算の両方に対応可能とされている。また、固定小数点演算部 11 及び浮動小数点演算部 12 とともに複数の演算装置から構成され、並列処理が可能な構成とされている。

#### 【0010】

このため、高性能汎用プロセッサ 1 は、演算方式としてスーパースカラ方式や VLIW (Very Long Instruction Word) 方式のように複数の命令を並列に発行処理する演算方式がとられている。

しかし、高性能汎用プロセッサでも、並列に処理できる命令数は、6～8 命令である。しかしながら、命令には、前命令の演算結果を用いて演算を行なう命令がある。このような命令では、前の命令の演算結果が出た後に、演算を行なう必要がある。このため、前の命令の演算結果が出るまで、命令の実行が停止される。

#### 【0011】

図 2 はマルチスプレッドトランザクション処理システムのブロック構成図を示す。

マルチスプレッド方式のトランザクション処理システム 15 は、 $n$  個のトランザクション処理プロセッサコア 16-1～16- $n$ 、メモリ 17、入出力インタフェース 18、システムバス 19 から構成される。

#### 【0012】

トランザクション処理プロセッサコア 16-1～16- $n$  は、固定小数点演算器を内蔵し、演算トランザクション処理を効率よく実行できる構成とされている。メモリ 17 は、システムバス 19 を介して  $n$  個のトランザクション処理プロセッサコア 16-1～16- $n$  と接続されており、 $n$  個のトランザクション処理プロセッサコア 16-1～16- $n$  で共有して用いられる。

#### 【0013】



入出力インタフェース 1 8 は、外部とシステムバス 1 9 とのインタフェースをとる。

図 3 はトランザクション処理プロセッサコアの一例のブロック構成図を示す。同図中、図 1 と同一構成部分には同一符号を付し、その説明は省略する。

トランザクション処理プロセッサコア 1 6 - 1 ~ 1 6 - n は、トランザクション処理ではほとんど使用されない浮動小数点演算器を除いた構成とされている。また、マルチスレッド化のために、プログラムカウンタ 4 及びレジスタ 6 が複数の個設けられている。このような構成とすることにより、所定の命令列でメモリの待ち時間が長くなったとき、他の命令列を処理できるので、命令の実行効率を向上できる。よって、図 3 に示すトランザクション処理プロセッサでは、トランザクション処理を効率よく処理できる。

【0 0 1 4】

図 2 に示すマルチスレッドトランザクション処理システム 1 5 は、図 3 に示すようなトランザクション処理プロセッサを n 個備えることにより、さらに、効率よくトランザクション処理を実行可能としている。また、図 3 に示すトランザクション処理プロセッサは、回路規模が比較的小さいので、多くのプロセッサを同一のチップ上に搭載できる。

【0 0 1 5】

【発明が解決しようとする課題】

しかるに、図 1 に示す高性能汎用プロセッサ 1 でトランザクション処理を行なうと、トランザクション処理では使用されない浮動小数点演算部が無効になってしまう。また、高性能汎用プロセッサは、浮動小数点演算のために回路規模が大きくなるため、1 チップに搭載できるプロセッサコアが少なくなる。よって、マルチスレッドの規模が小さくなるなどの問題点があった。

【0 0 1 6】

また、図 2 に示すマルチスレッドトランザクション処理システム 1 5 は、トランザクション処理の効率化のため浮動小数点演算ユニットを持たないので、浮動小数点演算を実行する命令には対応できなかった。

本願発明は上記の点に鑑みてなされたもので、多様な命令を効率よく処理でき

る情報処理装置及び情報処理方法を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明の請求項1、6は、複数種類の演算を実行可能な第1の演算手段と複数種類の演算のうち少なくとも一つ種類の演算を実行可能な第2の演算手段とを有し、第2の演算手段で実行できなかった命令を第1の演算手段で実行させるようにする。

【0018】

請求項1、6によれば、第2の演算手段を特定の処理を効率よく実行できる構成とし、第2の演算手段で実行できない命令だけを第1の演算手段で実行できるようにできる。

請求項2は、第2の演算手段により実行できない命令が発生したときに、第1の演算手段に割り込みをかけて、第1の演算手段に命令を実行させる。

【0019】

請求項2によれば、通常の割り込み処理により命令の第2の演算手段から第1の演算手段に移行させることができる。

請求項3は、第1の演算手段と第2の演算手段とでメモリ空間を共有される記憶手段を有することを特徴とする。

請求項3によれば、第1の演算手段と第2の演算手段とでメモリ空間を共有することにより情報ソースを共有でき、効率よい処理が可能となる。

【0020】

請求項4は、第1の演算手段及び第2の演算手段のそれぞれに記憶手段を設け、第1の演算手段と第2の演算手段とを通信手段を介して接続する。

請求項4によれば、既存の演算装置を組み合わせることにより容易に本発明を実現できる。

請求項5は、第1の演算手段と第2の演算手段とで同一の命令セットを用いることを特徴とする。

【0021】

請求項5によれば、第1の演算手段と第2の演算手段とで同一の命令セットを

用いることによりすべての命令を第 1 及び第 2 の演算手段の両方で演算可能となる。

【0 0 2 2】

【発明の実施の形態】

図 4 は本発明の一実施例のシステム構成図を示す。

本実施例の情報処理装置 3 1 は、汎用プロセッサ 3 2－1、3 2－2、トランザクション処理プロセッサ 3 3－1、3 3－2、メインメモリ 3 4、入出力インタフェース 3 5、システムコントローラ 3 6、システムバス 3 7 から構成される。

【0 0 2 3】

汎用プロセッサ 3 2－1、3 2－2 は、図 1 に示す汎用プロセッサ 1 と同様な構成であり、整数演算及び論理演算並びに浮動小数点演算が実行可能とされている。

トランザクション処理プロセッサ 3 3－1、3 3－2 は、マルチスレッド化又はマルチプロセッサ化されており、トランザクション処理が効率的に実行可能な構成とされる。

【0 0 2 4】

メインメモリ 3 4 は、RAM (Random Access Memory) から構成され、データを記憶する。メインメモリ 3 4 は、システムバス 3 7 を介して汎用プロセッサ 3 2－1、3 2－2 及びトランザクション処理プロセッサ 3 3－1、3 3－2 に接続される。メインメモリ 3 4 に記憶されたデータは、汎用プロセッサ 3 2－1、3 2－2 及びトランザクション処理プロセッサ 3 3－1、3 3－2 で共有される。

【0 0 2 5】

入出力インタフェース 3 5 は、システムバス 3 7 と外部周辺装置とのインタフェースをとる。システムコントローラ 3 6 は、汎用プロセッサ 3 2－1、3 2－2、トランザクション処理プロセッサ 3 3－1、3 3－2 からのアクセス要求に応じてメインメモリ 3 4 及びシステムバス 3 7 を制御する。

次に、トランザクション処理プロセッサ 3 3－1 は、トランザクション処理演

算部 4 1、2 次キャッシュメモリ 4 2 から構成される。

【0 0 2 6】

トランザクション処理演算部 4 1 は、1 チップの半導体チップから構成される。トランザクション処理演算部 4 1 には、2 次キャッシュメモリ 4 2 が外付けされる。2 次キャッシュメモリ 4 2 は、RAM から構成され、データを一時的に記憶する。トランザクション処理演算部 4 1 は、m 個のプロセッサコア 4 3 - 1 ~ 4 3 - m、2 次キャッシュタグ 4 4、インタフェース 4 5、内部バス 4 6 から構成される。

【0 0 2 7】

プロセッサコア 4 3 - 1 ~ 4 3 - m は、図 3 に示すトランザクション処理プロセッサコアと同様な構成とされている。プロセッサコア 4 3 - 1 ~ 4 3 - m は、マルチスレッド化されており、トランザクション処理を効率よく処理できる構成とされている。プロセッサコア 4 3 - 1 ~ 4 3 - m は、内部バス 4 6 を介して 2 次キャッシュタグ 4 4 及びインタフェース 4 5 に接続されている。

【0 0 2 8】

2 次キャッシュタグ 4 4 は、2 次キャッシュメモリ 4 2 の使用状況を管理する。インタフェース 4 5 は、2 次キャッシュメモリ 4 2 と内部バス 4 6 とのインタフェースをとる。

次に、本実施例のトランザクション処理プロセッサ 3 3 - 1、3 3 - 2 での処理について説明する。

【0 0 2 9】

図 6 は本発明の一実施例のトランザクション処理プロセッサの処理フローチャートを示す。

トランザクション処理プロセッサ 3 3 - 1 は、ステップ S 1 - 1 ~ S 1 - 5 を実行する。

ステップ S 1 - 1 は、命令を発行する処理である。ステップ S 1 - 1 で命令が発行されると、次にステップ S 1 - 2 が実行される。

【0 0 3 0】

ステップ S 1 - 2 は、命令が固定小数点演算か否かを判定する処理である。ス

ステップ S 1 - 2 で、発行された命令が固定小数点演算の場合には、ステップ S 1 - 3 が実行される。

ステップ S 1 - 3 は、命令を実行する処理である。ステップ S 1 - 3 で命令が実行されると、次にステップ S 1 - 4 が実行される。

【 0 0 3 1 】

ステップ S 1 - 4 は、次の命令の有無を判定する処理である。ステップ S 1 - 4 で、次に命令があると判定されると、ステップ S 1 - 1 に戻って次の命令が発行される。また、ステップ S 1 - 4 で次の命令がないと判定されると、処理を終了する。

また、ステップ S 1 - 2 で命令が浮動小数点演算であると判定された場合には、次にステップ S 1 - 5 が実行される。

【 0 0 3 2 】

ステップ S 1 - 5 は、割り込み処理である。ステップ S 1 - 5 の割り込み処理については後述する。ステップ S 1 - 5 で、割り込み処理が終了すると処理を終了する。

次に、ステップ S 1 - 5 の割り込み処理について詳細に説明する。

図 7 は本発明の一実施例のトランザクション処理プロセッサの割り込み処理の処理フローチャートを示す。

【 0 0 3 3 】

トランザクション処理プロセッサ 3 3 - 1 は、ステップ S 1 - 5 の割り込み処理としてステップ S 2 - 1 ～ S 2 - 6 を実行する。

ステップ S 2 - 1 は、発生された割り込み処理を解析する。ステップ S 2 - 1 で割り込み処理を解析されると、次にステップ S 2 - 2 が実行される。

ステップ S 2 - 2 は、ステップ S 2 - 1 での解析結果が通常の割り込み処理か否かを判定する処理である。ステップ S 2 - 2 で、通常の割り込み処理であると判定されると、次に、ステップ S 2 - 3 が実行される。ステップ S 2 - 3 は、通常の割り込み処理を実行する処理である。

【 0 0 3 4 】

また、ステップ S 2 - 2 で、浮動小数点演算を実行するための割り込み処理で

ある場合には、まず、ステップ S 2 - 4 が実行される。

ステップ S 2 - 4 は、内部レジスタに命令アドレスを格納する処理である。ステップ S 2 - 4 で、内部レジスタに命令アドレスが格納されると、次にステップ S 2 - 5 が実行される。

【 0 0 3 5 】

ステップ S 2 - 5 は、汎用プロセッサ 3 2 - 1 又は 3 2 - 2 に割り込みをかける処理である。

以上により、トランザクション処理プロセッサ 3 3 - 1、3 3 - 2 で浮動小数点演算を実行する命令が発生した場合に、汎用プロセッサ 3 2 - 1 又は 3 2 - 2 に割り込みがかけられる。

【 0 0 3 6 】

次に、汎用プロセッサ 3 2 - 1 の処理について説明する。

図 8 は本発明の一実施例の汎用プロセッサの処理フローチャートを示す。

汎用プロセッサ 3 2 - 1 では、下記のステップ S 3 - 1 ~ S 3 - 6 に示す処理を実行する。

ステップ S 3 - 1 は、他のプロセッサからの割り込み要求の受信の有無を判定する。ステップ S 3 - 1 で、他のプロセッサからの割り込み要求がなければ、ステップ S 3 - 2 が実行され、処理を終了する。ステップ S 3 - 2 は、通常の処理を実行する処理である。

【 0 0 3 7 】

また、ステップ S 3 - 1 で、他のプロセッサから割り込み要求があれば、次にステップ S 3 - 3 が実行される。

ステップ S 3 - 3 は、割り込み要求が命令の実行依頼か否かを判定する処理である。ステップ S 3 - 3 で、割り込み要求が命令の実行依頼でなければ、次にステップ S 3 - 4 が実行され、処理が終了する。ステップ S 3 - 4 は、通常の割り込み処理を実行する処理である。

【 0 0 3 8 】

また、ステップ S 3 - 3 で、割り込み要求が命令の実行依頼であると判定されると、次にステップ S 3 - 5 が実行される。

ステップ S 3 - 5 は、トランザクション処理プロセッサ 3 3 - 1 の内部レジスタから要求のあった命令を取り出す処理である。次にステップ S 3 - 6 が実行される。ステップ S 3 - 6 は、依頼があった命令を実行する処理である。

【 0 0 3 9 】

以上により汎用プロセッサ 3 2 - 1、3 2 - 2 で浮動小数点演算が実行される。

以上のように本実施例によれば、トランザクション処理プロセッサ 3 2 - 1、3 2 - 2 で、浮動小数点演算を実行する命令が発生した場合、汎用プロセッサ 3 1 - 1 に割り込みをかけて、汎用プロセッサ 3 1 - 1、3 1 - 2 で処理を浮動小数点演算を実行する。

【 0 0 4 0 】

このため、主にトランザクション処理を行なうシステムにおいて、トランザクション処理を効率的に行なう。なお、OS (Operating System) は、逐次実行比率が高い。このため、OS は、汎用プロセッサ 3 1 - 1 又は 3 1 - 2 のいずれかで実行されるようにする。

また、汎用プロセッサ 3 1 - 1、3 1 - 2、トランザクション処理プロセッサ 3 2 - 1、3 2 - 2 でメモリ 3 4 を共有することによりプロセスの移行を効率よく行なうことができる。

【 0 0 4 1 】

次に、命令のプロセッサへの割り当て方法について説明する。

図 9 は本発明の一実施例の割り当て処理の動作説明図を示す。

命令の割り当ては、OS により行なわれる。OS は、トランザクション処理プロセッサ 3 2 - 1 で実行される。OS の命令割り当ての機能は、命令格納部 7 1、ディスパッチャ 7 2、命令割当制御部 7 3 から構成される。

【 0 0 4 2 】

命令格納部 7 1 は、要求された命令を格納する。ディスパッチャ 7 2 は、命令格納 7 1 に格納された命令及び汎用プロセッサ 3 1 - 1、3 1 - 2、トランザクション処理プロセッサ 3 2 - 1、3 2 - 2 を監視し、命令を汎用プロセッサ 3 1 - 1、3 1 - 2、トランザクション処理プロセッサ 3 2 - 1、3 2 - 2 に割り振

る。

【0043】

命令割当制御部 7 3 は、汎用プロセッサ 3 1 - 1、3 1 - 2、トランザクション処理プロセッサ 3 2 - 1、3 2 - 2 からの命令の処理結果に応じて汎用プロセッサ 3 1 - 1、3 1 - 2、トランザクション処理プロセッサ 3 2 - 1、3 2 - 2 の動作を制御する。

図 1 0 は本発明の一実施例の命令割当制御部の処理フローチャートを示す。

【0044】

命令割当制御部 7 3 は、ステップ S 4 - 1 ~ S 4 - 5 を実行する。

ステップ S 4 - 1 は、汎用プロセッサ 3 1 - 1、3 1 - 2、トランザクション処理プロセッサ 3 2 - 1、3 2 - 2 からの割り込みを検出する。ステップ S 4 - 1 でプロセッサからの割り込みが通知されると、ステップ S 4 - 2 が実行される。

【0045】

ステップ S 4 - 2 は、割り込みの通知から命令が継続して処理可能か否かを判定する処理である。ステップ S 4 - 2 で、命令が継続して実行可能であると判断されると、次にステップ S 4 - 3 が実行される。ステップ S 4 - 3 は、命令に元のプロセッサを識別する情報を付与する処理である。

ステップ S 4 - 3 で元のプロセッサを識別する情報を付与されると、ステップ S 4 - 4 が実行される。ステップ S 4 - 4 は、情報が付与された命令を命令格納部 7 1 に格納する処理である。ただし、前回と命令を実行したプロセッサが使用中の場合には、他のプロセッサに割り当てを行なう。

【0046】

また、ステップ S 4 - 3 で、命令が継続して実行できないと判断された場合には、次にステップ S 4 - 5 が実行される。

ステップ S 4 - 5 は、命令を実行するプロセッサを汎用プロセッサに制限する情報を付与する処理を行なう。次に、ステップ S 4 - 4 が実行される。

以上によりディスパッチャ 7 2 がプロセッサを割り当てるとき、浮動小数点演算を実行する命令は、汎用プロセッサ 3 1 - 1 又は 3 1 - 2 に割り当てられる。



なお、命令は、まず、トランザクション処理プロセッサ 3 2－1、3 2－2 に割り当てることにより、効率的に処理できる。これは現在の処理の主流がトランザクション処理であるためである。

【0 0 4 7】

また、命令の割り付けは、プロセッサの性能に応じて最適化することが望ましい。プロセッサの性能は、性能測定機能を用いる。

本実施例によれば、命令セットは、汎用プロセッサ 3 1－1、3 1－2 及びトランザクション処理プロセッサ 3 2－1、3 2－2 で同一にすることができる。

なお、上記実施例では、図 4 に示すように汎用プロセッサ 3 1－1、3 1－2 及びトランザクション処理プロセッサ 3 2－1、3 2－2 でシステムバス 3 7 を共用し、メインメモリ 3 4 を共有するシステムについて説明したが、クラスタ方式のマルチプロセッサシステムに適用することも可能である。

【0 0 4 8】

図 1.1 は本発明の他の実施例のシステム構成図を示す。

本実施例の情報処理装置 5 1 は、汎用プロセッサ部 5 2、トランザクション処理プロセッサ部 5 3、入出力インタフェース 5 4 から構成される。

汎用プロセッサ部 5 2 は、固定小数点演算及び浮動小数点演算を実行可能であり、汎用的に処理を実行できる。トランザクション処理プロセッサ部 5 3 は、固定小数点演算を実行可能であり、トランザクション処理を効率的に実行可能とされている。入出力インタフェース 5 4 は、汎用プロセッサ部 5 2 と外部とのインタフェースをとる。

【0 0 4 9】

汎用プロセッサ部 5 2 は、2 つの汎用プロセッサ 5 5－1、5 5－2、メモリ 5 6、システムバス 5 7、システムコントローラ 5 8、クラスタインタフェース 5 9 から構成される。汎用プロセッサ 5 5－1、5 5－2 は、例えば、図 1 に示すような構成とされている。

メモリ 5 6 は、RAM から構成され、汎用プロセッサ 5 5－1、5 5－2 とシステムバス 5 7 を介して接続される。メモリ 5 6 は、汎用プロセッサ 5 5－1 と汎用プロセッサ 5 5－2 とでメモリ空間が共有されている。

## 【 0 0 5 0 】

システムコントローラ 5 8 は、汎用プロセッサ 5 5 - 1、5 5 - 2 からの要求に応じてシステムバス 5 7、メモリ 5 6 を制御する。クラスタインタフェース 5 9 は、トランザクション処理プロセッサ部 5 3 とのインタフェースをとる。

また、トランザクション処理プロセッサ 5 3 は、2 つのトランザクション処理プロセッサ 6 0 - 1、6 0 - 2、メモリ 6 1、システムバス 6 2、システムコントローラ 6 3、クラスタインタフェース 6 4 から構成される。

## 【 0 0 5 1 】

トランザクション処理プロセッサ 6 0 - 1、6 0 - 2 は、図 3 に示すトランザクション処理プロセッサと 1 6 - x と同様な構成とされている。

メモリ 6 1 は、システムバス 6 2 を介してトランザクション処理プロセッサ 6 0 - 1、6 0 - 2 と接続され、トランザクション処理プロセッサ 6 0 - 1、6 0 - 2 でメモリ空間が共有されている。

## 【 0 0 5 2 】

システムコントローラ 6 3 は、トランザクション処理プロセッサ 6 0 - 1、6 0 - 2 からの要求に応じてシステムバス 6 2 及びメモリ 6 1 を制御する。クラスタインタフェース 6 4 は、汎用プロセッサ部 5 2 のクラスタインタフェース 5 9 と接続されており、汎用プロセッサ部 5 2 とのインタフェースをとる。

本実施例では、汎用プロセッサ部 5 2 及びトランザクション処理プロセッサ部 5 3 は、夫々にメモリ 5 6、6 1 を設けられ、夫々でメモリ空間を持つ。汎用プロセッサ部 5 2 とトランザクション処理プロセッサ部 5 3 とは、クラスタインタフェース 5 9、6 4 を介して通信が行なわれる。トランザクション処理プロセッサ部 5 3 で、浮動小数点演算が必要な命令が発行された場合には、この命令は、クラスタインタフェース 6 4、5 9 を介して汎用プロセッサ部 5 2 に供給され、実行される。

## 【 0 0 5 3 】

なお、上記実施例には、次に示す発明が含まれる。

請求項 1 において、第 2 の演算手段はマルチスレッド化又はマルチプロセッサ化されていることを特徴とする。第 2 の演算手段をマルチスレッド化又はマルチ

プロセッサ化することにより、第 2 の演算手段で特定の処理をさらに効率よく実行できる。

【0 0 5 4】

また、請求項 1 又は 2 において、第 2 の演算手段を 1 チップ化したもの。

第 2 の演算手段を 1 チップ化することにより、第 2 の演算手段は特定の処理を効率よく演算することが可能であるので、回路規模が小さく、1 チップ化が容易に可能であり、安価に製造できる。

【0 0 5 5】

【発明の効果】

上述の如く、請求項 1、6 によれば、第 2 の演算手段を特定の処理を効率よく実行できる構成とし、第 2 の演算手段で実行できない命令だけを第 1 の演算手段で実行できるようにできる等の特長を有する。

請求項 2 によれば、通常の割り込み処理により命令の第 2 の演算手段から第 1 の演算手段に移行させることができる等の特長を有する。

【0 0 5 6】

請求項 3 によれば、第 1 の演算手段と第 2 の演算手段とでメモリ空間を共有することにより情報ソースを共有でき、効率よい処理が可能となる等の特長を有する。

請求項 4 によれば、既存の演算装置を組み合わせることにより容易に本発明を実現できる等の特長を有する。

【0 0 5 7】

請求項 5 によれば、第 1 の演算手段と第 2 の演算手段とで同一の命令セットを用いることによりすべての命令を第 1 及び第 2 の演算手段の両方で演算可能となる等の特長を有する。

【図面の簡単な説明】

【図 1】

高性能汎用プロセッサの一例のブロック構成図である。

【図 2】

マルチスプレッドトランザクション処理システムのブロック構成図である。

【図 3】

トランザクション処理プロセッサの一例のブロック構成図である。

【図 4】

本発明の一実施例のシステム構成図である。

【図 5】

本発明の一実施例のトランザクション処理プロセッサのブロック構成図である。

【図 6】

本発明の一実施例のトランザクション処理プロセッサの処理フローチャートである。

【図 7】

本発明の一実施例のトランザクション処理プロセッサの割り込み処理の処理フローチャートである。

【図 8】

本発明の一実施例の汎用プロセッサの処理フローチャートである。

【図 9】

本発明の一実施例の命令割り当て処理の動作説明図である。

【図 10】

本発明の一実施例の命令割当制御部の処理フローチャートである。

【図 11】

本発明の他の実施例のシステム構成図である。

【符号の説明】

3 1 情報処理システム

3 2 - 1、3 2 - 2 汎用プロセッサ

3 3 - 1、3 3 - 2 トランザクション処理プロセッサ

3 4 メインメモリ

3 5 入出力インタフェース

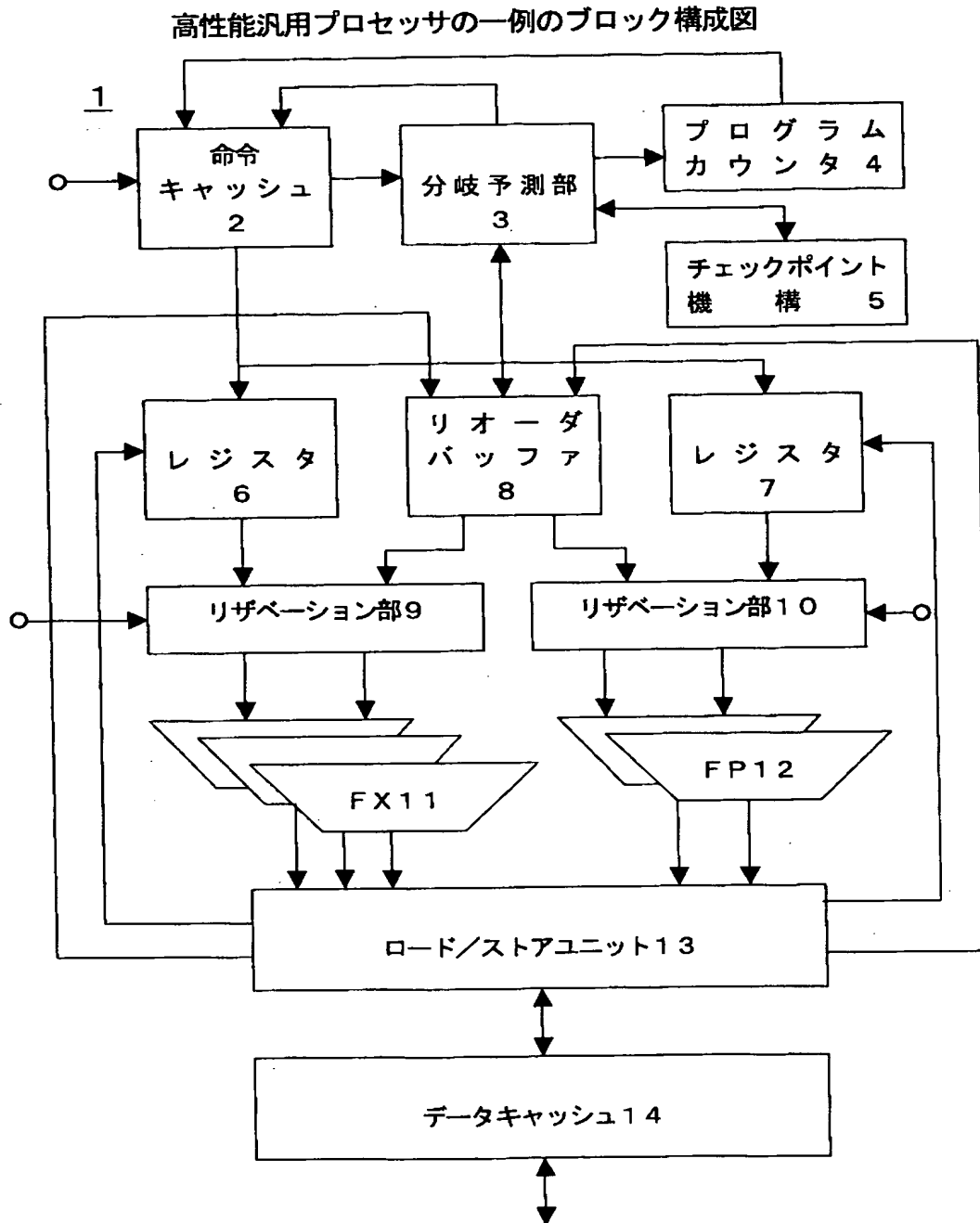
3 6 システムコントローラ

3 7 システムバス

- 4 1 トランザクション処理演算部
- 4 2 2次キャッシュメモリ
- 4 3 - 1 ~ 4 3 - m プロセッサコア
- 4 4 2次キャッシュタグ
- 4 5 インタフェース

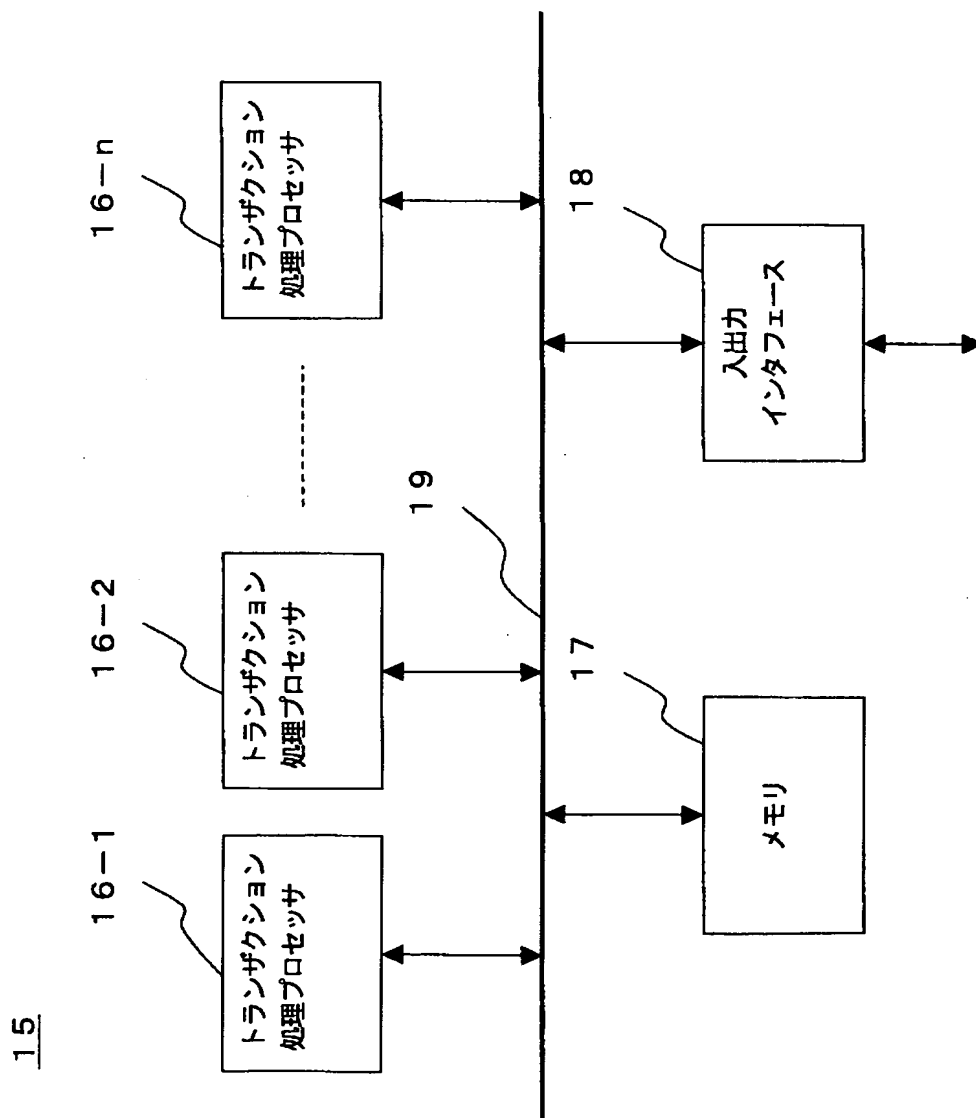
【書類名】 図面

【図 1】



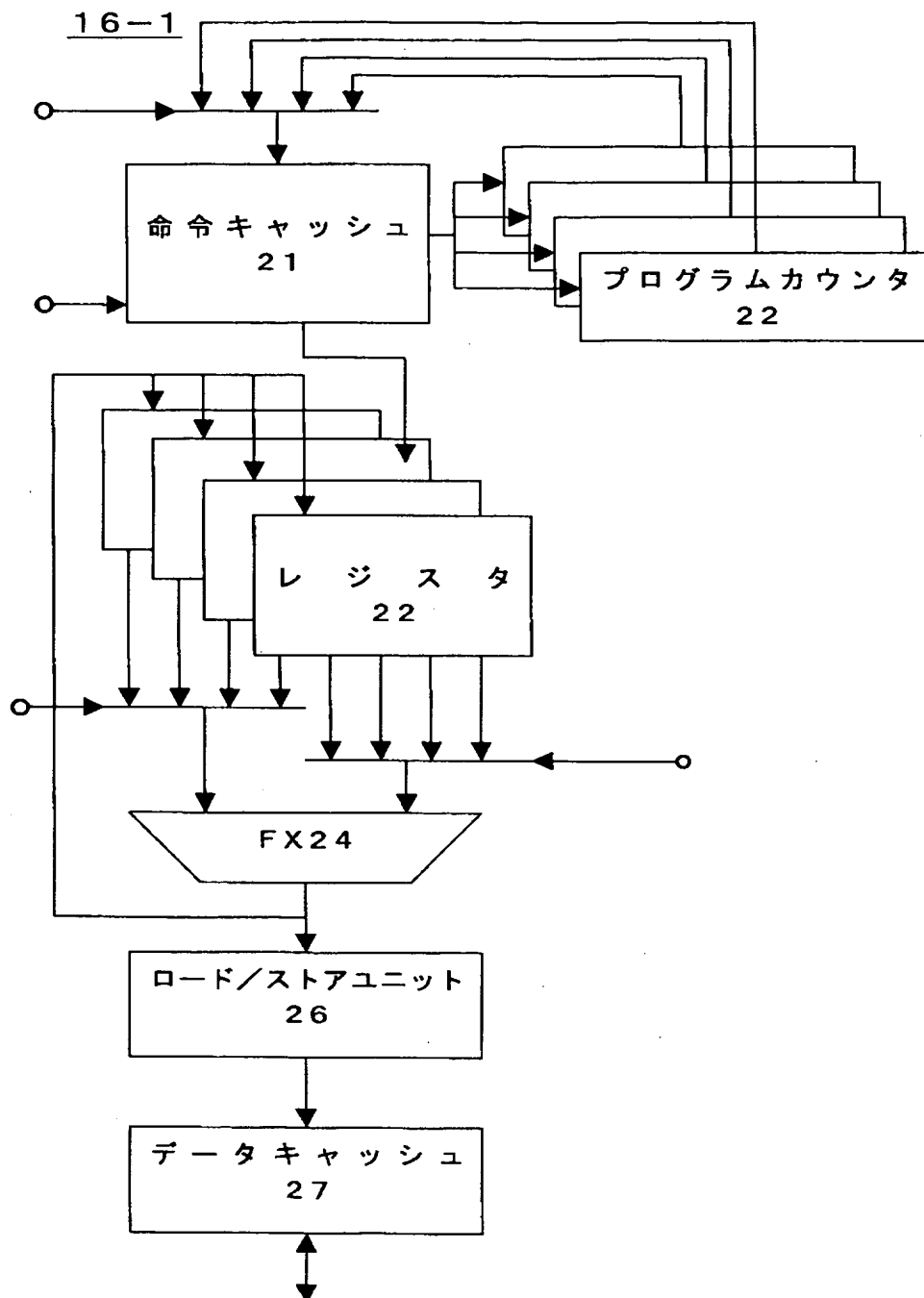
【図 2】

マルチスプレッドトランザクション処理システムのブロック構成図



【図 3】

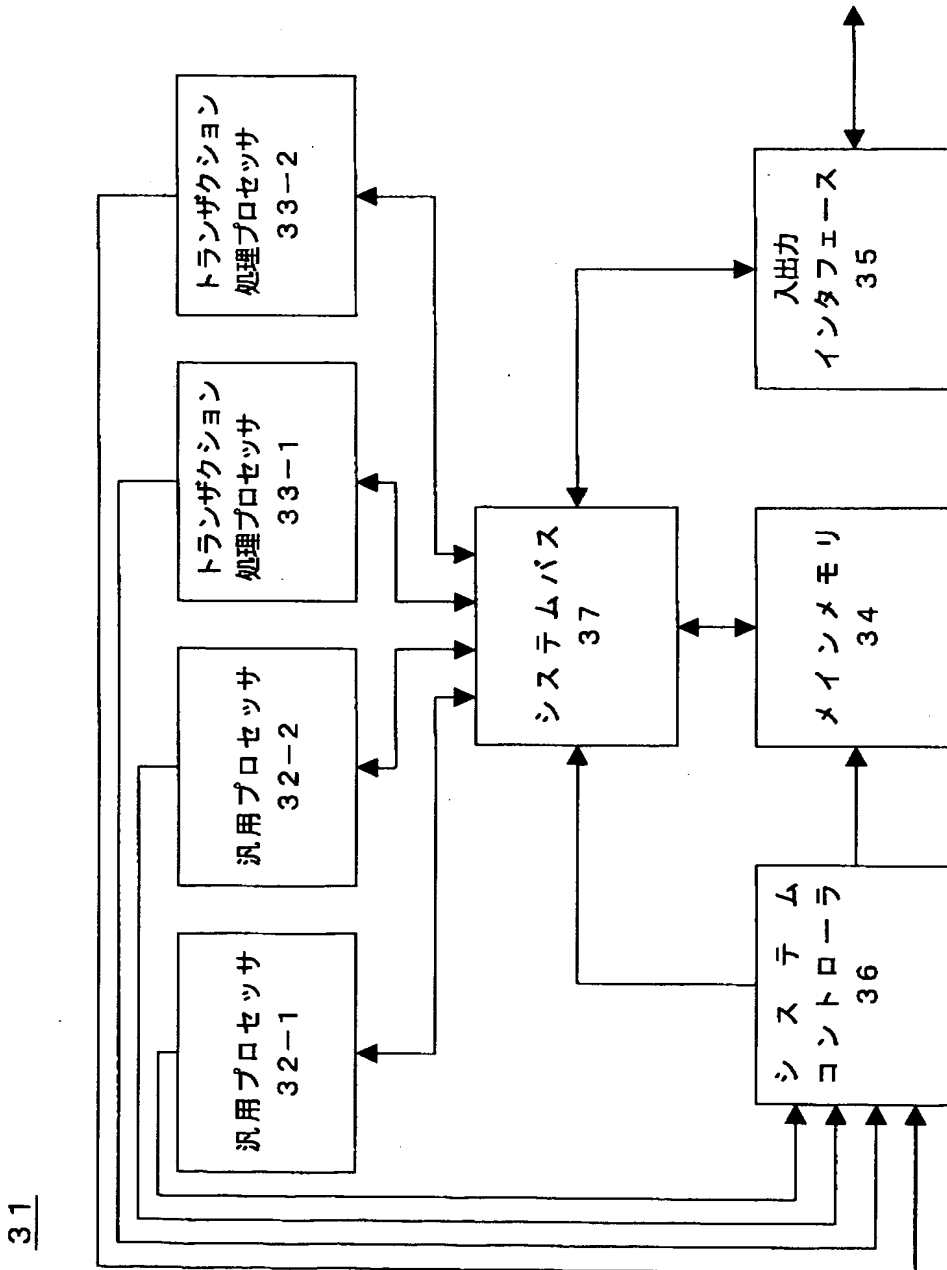
トランザクション処理プロセッサの一例のブロック構成図





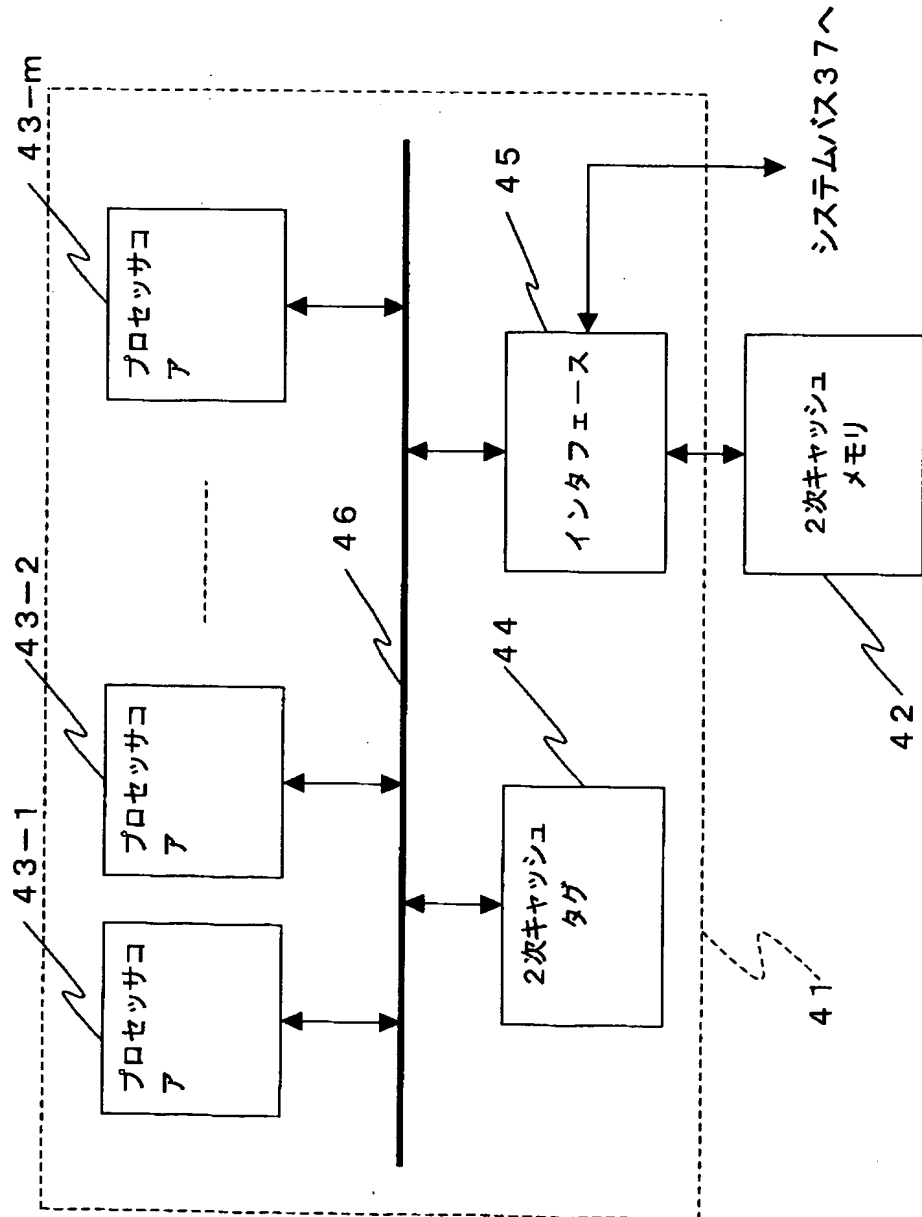
【図 4】

本発明の一実施例のシステム構成図



【図 5】

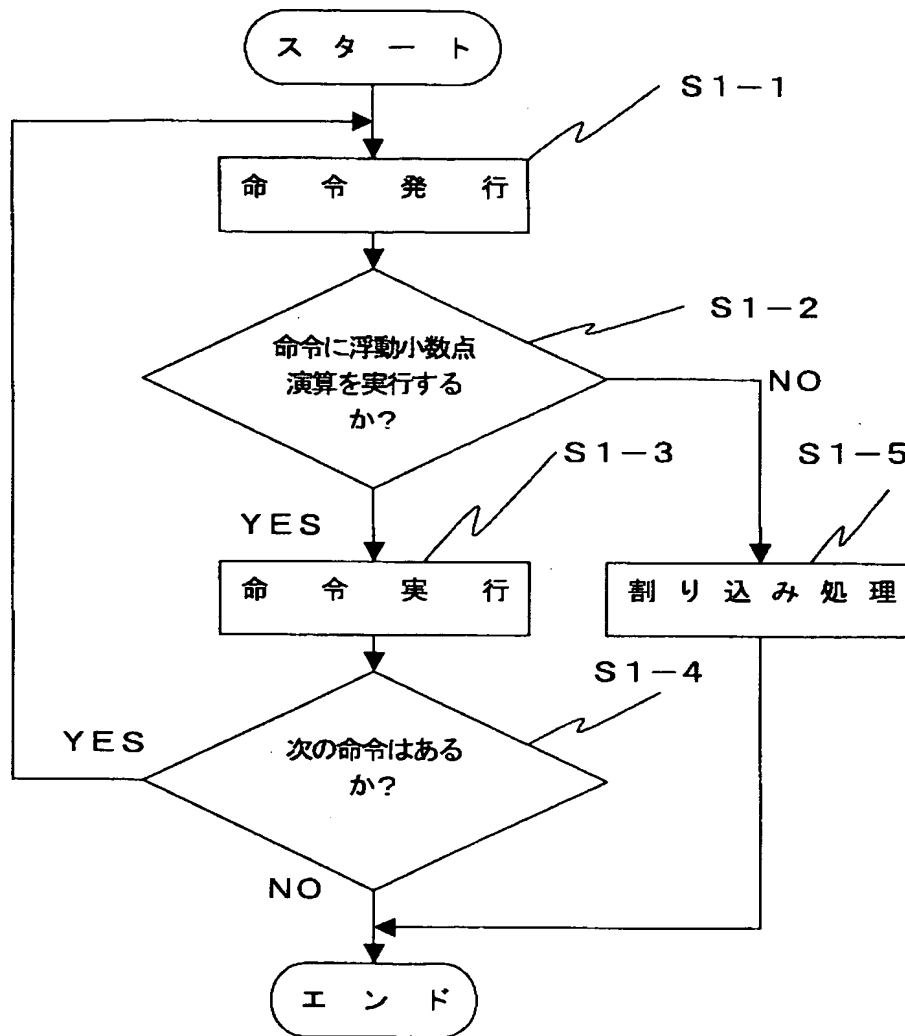
本発明の一実施例のトランザクション処理プロセッサのブロック構成図



33-1、33-2

【図 6】

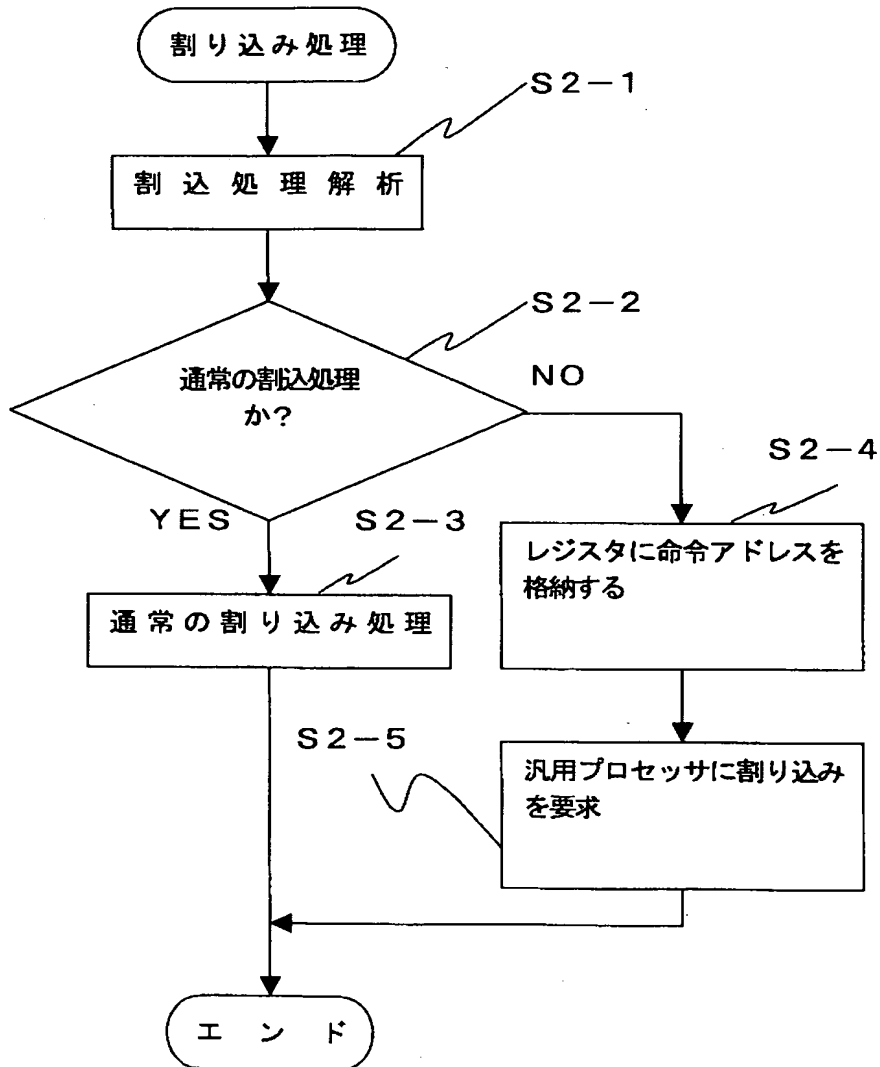
本発明の一実施例のトランザクション処理プロセッサの処理フローチャート



【図 7】

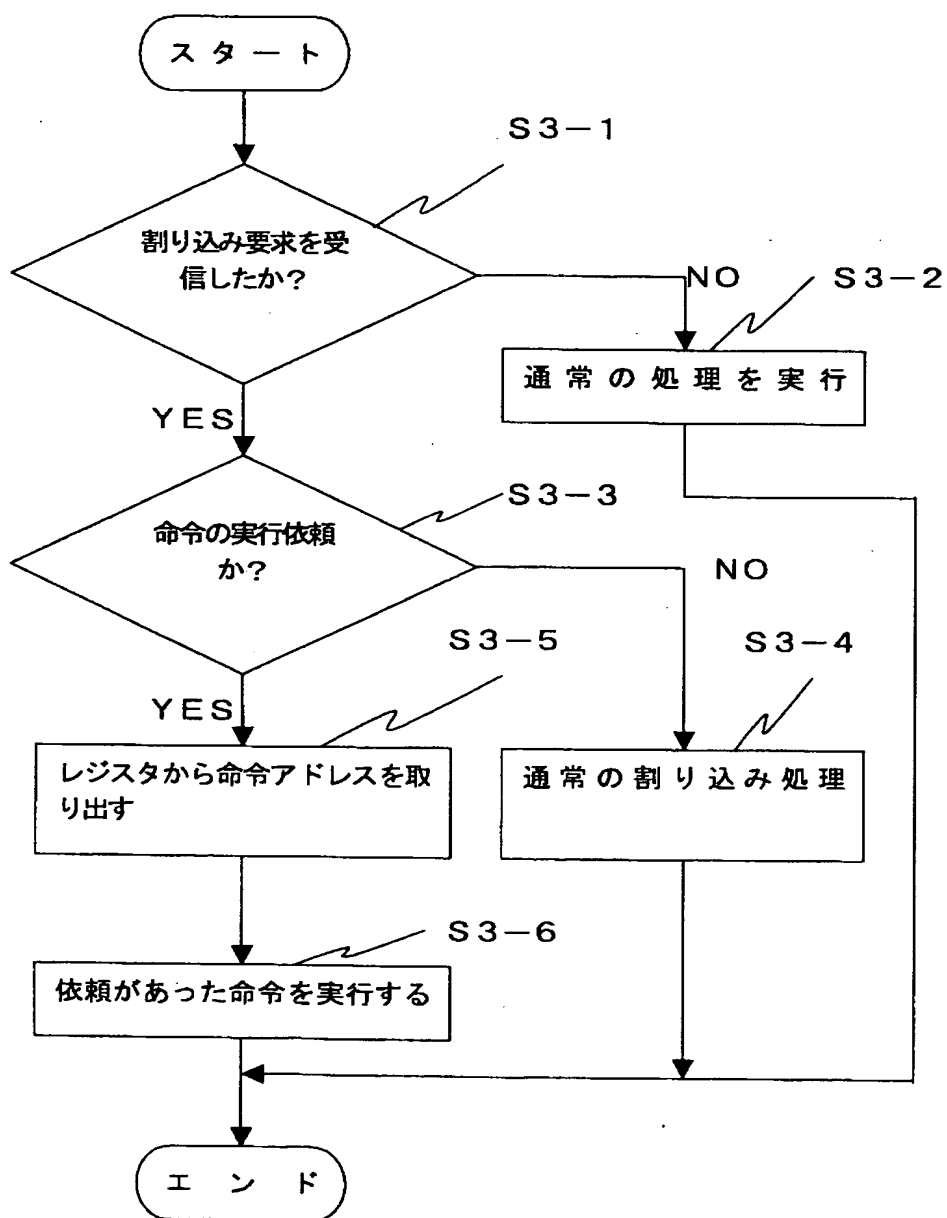
本発明の一実施例のトランザクション処理プロセッサの

割り込み処理フローチャート



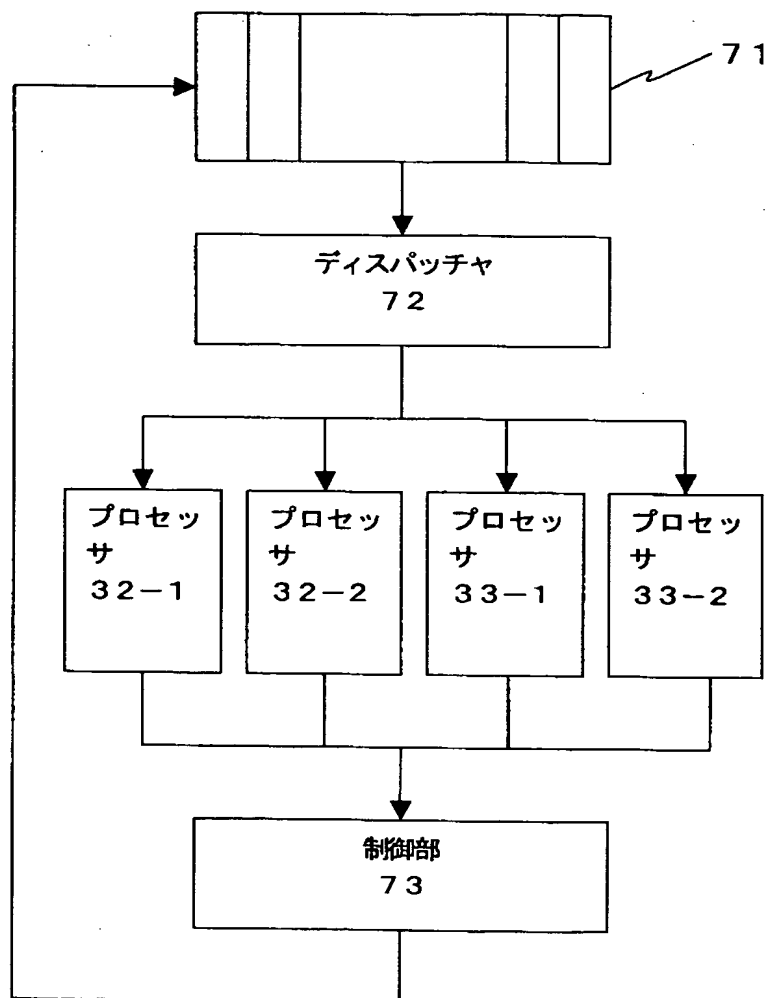
【図 8】

本発明の一実施例の汎用プロセッサの処理フローチャート



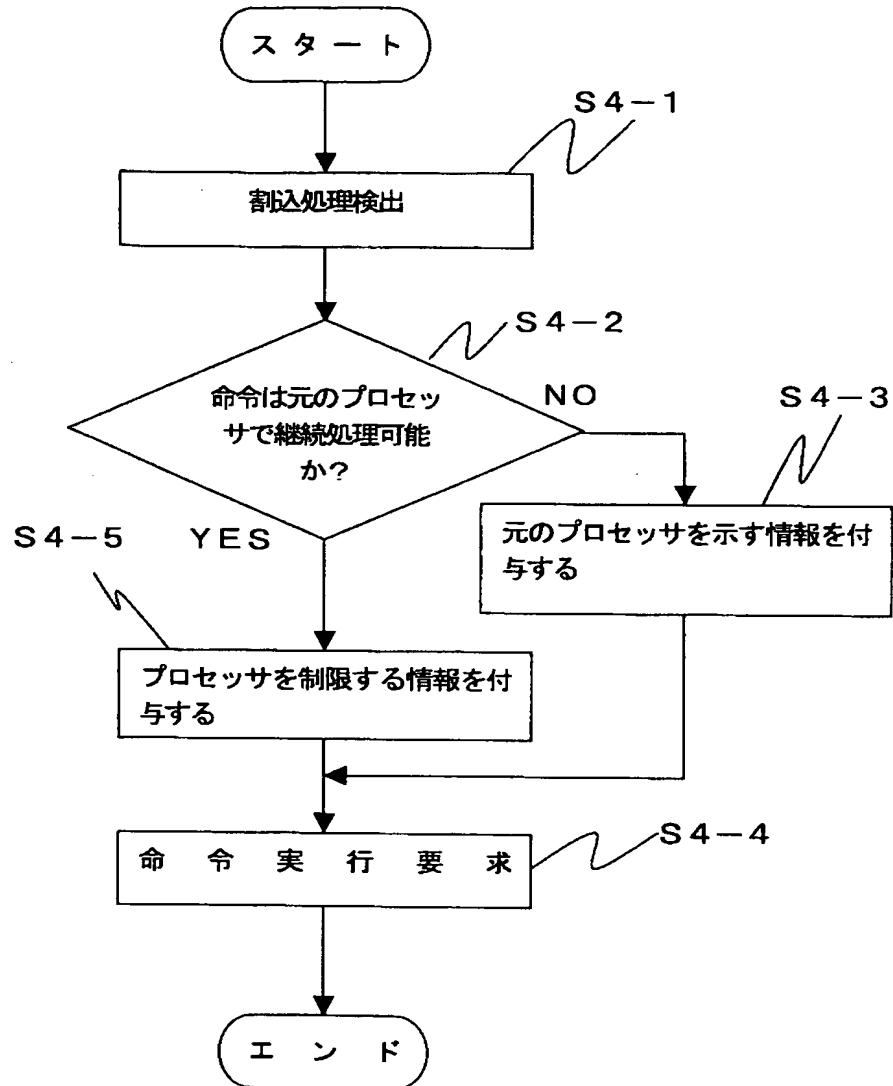
【図 9】

本発明の一実施例の動作説明図



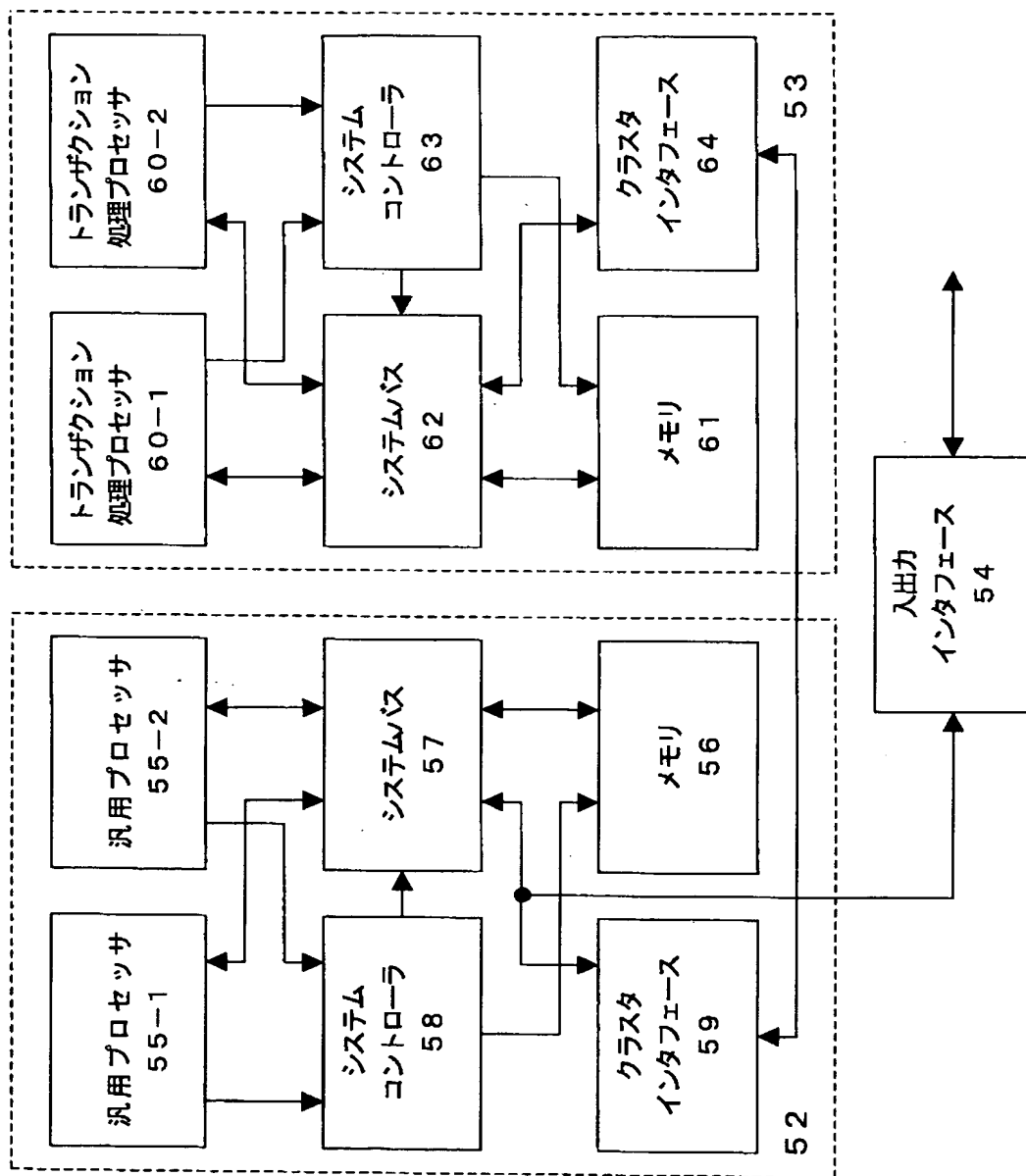
【図 1 0】

本発明の一実施例のOSによる割当処理の処理フローチャート



【図 1 1】

本発明の一実施例の変形例のブロック構成図



51



【書類名】 要約書

【要約】

【課題】 汎用処理及びトランザクション処理を行なう情報処理装置及び情報処理方法に関し、多様な命令を効率よく処理できる情報処理装置及び情報処理方法を提供することを目的とする。

【解決手段】 整数・論理演算及び浮動小数点演算が可能な汎用プロセッサとトランザクション処理を効率よく実行できるように整数・論理演算器がマルチスレッド化又はマルチプロセッサ化されたトランザクション処理プロセッサとを有し、トランザクション処理プロセッサで実行できなかった命令を汎用プロセッサで実行するようにする。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社